

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平7-43620

(24) (44)公告日 平成7年(1995)5月15日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/02				
H 0 4 L 27/12		A 9297-5K		
// G 0 6 F 101:04				

請求項の数1(全 7 頁)

(21)出願番号	特願平2-97166	(71)出願人	999999999 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成2年(1990)4月12日	(72)発明者	崎山 史朗 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(65)公開番号	特開平3-294916	(72)発明者	道正 志郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(43)公開日	平成3年(1991)12月26日	(72)発明者	中平 博幸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74)代理人	弁理士 小鍛治 明 (外2名)
		審査官	武井 製装彦

最終頁に続く

(54)【発明の名称】 周期関数発生回路

1

【特許請求の範囲】

【請求項1】周期関数の符号化サンプリング値系列をROMテーブル変換方式によってデジタル的に発生する回路において、周期関数の1周期の1/4周期分の振幅値を格納するROMと、このROMのアドレス発生するアドレス発生部を有し、前記アドレス発生部は、アキュムレータと外部より任意に設定可能な第1のレジスタとの加算を行う加算器と、前記加算器の出力結果の上位2ビット以外のビットが供給され、このビットのスルーか反転の制御を行うビット反転制御回路と、前記ビット反転制御回路の出力結果を納める第2のレジスタとを有し、前記アキュムレータは前記加算器出力の全ビットが供給され、前記第2のレジスタの値を前記ROMのアドレスとし、前記ROMから読みだされた値と前記アキュムレータの最上位ビットとを符号化サンプリング値系列とする事の特徴とする

2

周期関数発生回路。

【発明の詳細な説明】

産業上の利用分野

本発明は、正弦波等の周期関数の符号化サンプリング値系列を直接デジタル的に発生するものであり、デジタル電話での可聴音信号、DTMF信号、周波数シンセサイザ等の応用として利用可能である。

従来の技術

正弦波等の周期関数の符号化サンプリング値系列を得る方法として、アナログ関数波形をそのままA/D変換して求める方法があるが、精度や安定性を考えると、直接デジタル的に発生するほうが、効率的である。

一般にデジタル的に多種の周波数の正弦波関数のサンプリング値系列を発生させる方法として、ROMテーブル変換方式として知られる、第3図に示す方法が広く用いら

3

れている。

第3図において、1はアドレスカウンタ、2は関数ROMである。アドレスカウンタ1は、レジスタ3、加算器4、アキュムレータ5により構成されている。加算器4は、設定されたレジスタ3の値と、アキュムレータ5の値とを加算する。アキュムレータ5は、加算結果をサンプリング周期でラッチする。関数ROM2には1周期分の正弦波関数値が格納されており、アドレスカウンタ1からのアドレスに対応するROM値が読み出される。1周期分の正弦波関数値が 2^P （Pは正数値）個からなる場合、

サンプリング周波数 f_s

ROMのアドレス p ビット

設定レジスタの値 n

とすると、関数ROM2より出力される周波数は、

出力周波数 $= nf_s / 2^P$

となる。第4図を用いて、もう少し詳しく説明する。第4図(a)は正弦波の1周期を、アドレス0から15までの16点で表したもので、各アドレスに対応する振幅値が関数ROMのデータとして納められている。この場合アドレスカウンタは4ビットで良く、つまり加算器、アキュムレータは4ビットで構成できる。仮にサンプリング周波数を16Hz、設定レジスタ3の値を1としたとすると、関数ROM2の値は0アドレスから順番に読み出され、

出力周波数 $= 1 \times 16\text{Hz} / 16 = 1\text{Hz}$

となる。この回路動作を表1に示す。但しここでは簡単のため、初期設定として、アキュムレータ5の値がリセットされているものとする。

表 1

サンプリングクロック(回数)	アキュムレータ5の値
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110

4

サンプリングクロック(回数)	アキュムレータ5の値
15	1111
16	0000

アキュムレータ5の値をアドレスするROM1による振幅値が順番に読みだされ、正弦波のサンプリング値系列を形成する。

設定レジスタ3の値を2としたとすると、関数ROM2の値は0アドレスから2個置きに読み出され、

出力周波数 $= 2 \times 16\text{Hz} / 16 = 2\text{Hz}$

となる。設定レジスタ3の値を2とした時の、この回路動作を表2に示す。ここでも簡単のため、初期設定として、アキュムレータ5の値がリセットされているものとする。

表 2

サンプリングクロック(回数)	アキュムレータ5の値
0	0000
1	0010
2	0100
3	0110
4	1000
5	1010
6	1100
7	1110
8	0000
9	0010
10	0100
11	0110
12	1000
13	1010
14	1100
15	1110
16	0000

第4図(b)にこの場合の関数ROM2のアドレス出力振幅値の関係を示す。

設定レジスタの値を3としたとすると、関数ROM2の値は0アドレスから3個置きに読み出され、

出力周波数 $= 3 \times 16\text{Hz} / 16 = 3\text{Hz}$

となる。このように、設定レジスタ3の値nを変化させることにより、出力周波数をサンプリング周波数 f_s の $n/2^P$ 倍に自由に設定できる。

発明が解決しようとする課題

従来例による構成で多種の出力周波数を得ようとするればROMの容量が著しく増大する。本発明は、従来例に見られるROM容量の増大に対する問題に鑑み、多種の周波数の正弦波関数のサンプリング値系列をより少ないROM容量で発生できる周期関数発生回路を提供する事を目的と

5

する。

課題を解決するための手段

本発明は上記問題を解決するため、周期関数の符号化サンプリング値系列をROMテーブル変換方式によってデジタル的に発生する回路において、周期関数の1周期の1/4周期分の振幅値を格納するROMと、このROMのアドレスを発生するアドレス発生部を有し、前記アドレス発生部は、アキュムレータと外部より任意に設定可能な第1のレジスタとの加算を行う加算器と、前記加算器の出力結果の上位2ビット以外のビット反転の制御を行うビット反転制御回路と、前記ビット反転制御回路の出力結果を納める第2のレジスタとを有し、前記第2のレジスタの値を前記ROMのアドレスとし、前記ROMから読みだされた値と前記アキュムレータの最上位ビットとを符号化サンプリング値系列とする事の特徴とする周期関数発生回路である。

作用

本発明は、上述の構成により、従来のデジタル的な周期関数発生回路に必要としたROM容量に対し、1/4以下のROM容量で、同機能のものを実現するものである。

実施例

本発明の実施例を第1図を用いて説明する。第1図において、1はアドレスカウンタ、2は関数ROMである。アドレスカウンタ1は、従来例と同様のレジスタ3、加算器4、アキュムレータ5及び、本発明特有のビット反転制御回路6、レジスタ7により構成されている。加算器4は、従来例と同様に、設定されたレジスタ3の値と、アキュムレータ5の値とを加算し、アキュムレータ5は、加算結果をサンプリング周期でラッチする。

ビット反転制御回路6は、加算器4の出力結果の上位2ビット以外のビットが入力され、最上位から2番目のビットの制御により、データのスルーか反転かを切り換える。ビット反転制御回路6の出力結果は、アキュムレータ5と同様にレジスタ7にサンプリング周期でラッチされる。

関数ROM2には1/4周期分の正弦波関数値が格納されており、アドレスカウンタ1によって演算されたレジスタ7の値をアドレスとして関数ROM2に与えることにより、ROM値が読み出される。出力振幅データとしては、上述ROM値と、アキュムレータ5の最上位ビットが符号ビットとして与えられる。

第2図を用いて、もう少し詳しく説明する。第2図

(a)は正弦波の1/4周期分の振幅値を、アドレス0から3までの4点で表したもので、各アドレスに対応する振幅値が関数ROM2のデータとして納められている。この場合、アドレスカウンタ部1の加算器4、アキュムレータ5は4ビット幅、ビット反転制御回路6、レジスタ7は2ビット幅で構成できる。設定レジスタ3の値を1とした時の、この回路動作を表3に示す。但しここでは簡単のため、初期設定として、アキュムレータ5の値がリ

6

セットされているものとする。

表

3

サンプリングク ロック(回数)	アキュムレー タ5の値	MSB	レジス タ7の値
0	0000	0	00
1	0001	0	01
2	0010	0	10
3	0011	0	11
4	0100	0	11
5	0101	0	10
6	0110	0	01
7	0111	0	00
8	1000	1	00
9	1001	1	01
10	1010	1	10
11	1011	1	11
12	1100	1	11
13	1101	1	10
14	1110	1	01
15	1111	1	00
16	0000	0	00

上述したように、この例では、アキュムレータ5の最上位から2番目のビットが1（ハイ）の時に下位2ビットが反転する制御となっている。この制御により、アキュムレータ5の値が4から7、12から15では、ROM2のアドレスが上位アドレスから読みだされることとなり、出力波形として正弦波が得られる。この制御を逆とし、つまり、アキュムレータ5の最上位から2番目のビットが0（ロウ）の時に下位2ビットが反転する制御とし、更にアキュムレータ5の最上位ビットと最上位ビットから2番目のビットとの排他的論理和を、ROM2から読み出される出力波形の符号ビットとして与えれば出力波形は余弦波となる。

アキュムレータ5の最上位ビットは、符号ビットとして与えられ、0（ロウ）は正の値を、1（ハイ）は負の値を表わす。設定レジスタ3の値を2とした時の、この回路動作を表4に示す。ここでも簡単のため、初期設定として、アキュムレータ5の値がリセットされているものとする。

表

4

サンプリングク ロック(回数)	アキュムレー タ5の値	MSB	レジス タ7の値
0	0000	0	00
1	0010	0	10
2	0100	0	11
3	0110	0	01
4	1000	1	00
5	1010	1	10

50

7

サンプリングクロック(回数)	アキュムレータ5の値	MSB	レジスタ7の値
6	1100	1	11
7	1110	1	01
8	0000	0	00
9	0010	0	10
10	0100	0	11
11	0110	0	01
12	1000	1	00
13	1010	1	10
14	1100	1	11
15	1110	1	01
16	0000	0	00

第2図(b)にこの場合の関数ROM2のアドレスと出力振幅値の関係を示す。一般に

サンプリング周波数 f_s

ROMのアドレス p ビット

設定レジスタの値 n

とすると、関数ROMより出力される周波数は、

$$\text{出力周波数} = n f_s / 2^{p+2}$$

となる。このように、設定レジスタの値 n を変化させることにより、出力周波数をサンプリング周波数 f_s の $n/2^{p+2}$ 倍に自由に設定できる。

つまり、従来例と同じ精度の出力周波数を得る周期関数発生回路を実現しようとした時、ROMの容量は1/4ですむことになる。さらに本実施例において、アキュムレータ5の最上位ビットを符号ビットとして、直接出力するようにすれば、関数ROM2に格納する出力ビット幅は、1ビット分少なくてすむ。

以上のように、従来のアドレスカウンタに、簡単なビット反転制御回路6とレジスタ7を付加するだけで、従来必要であったROM容量の1/4以下で同じ機能の周期関数発生回路を実現できる。

8

なおここでは、正弦波のサンプリング値系列を発生させる方法について述べたが、本発明で関数ROMに格納する振幅値として、周期波形の1周期が点対称で1/2周期が線対称のもの、あるいは1周期が線対称で1/2周期が点対称のものであれば、全て同様の方法で実現可能である。

発明の効果

以上説明したように、本発明を用いれば、従来のアドレスカウンタに、簡単なビット反転制御回路とレジスタを付加するだけで、従来と同じ機能の周期関数発生回路を、従来必要としたROM容量の1/4以下で実現できる。本発明は、周波数精度が必要とされ、大容量のROMを必要とする周期関数発生回路においては、特に効果が顕著に現れ、LSI化する際の素子数削減や低消費電力化に効果を発揮する。

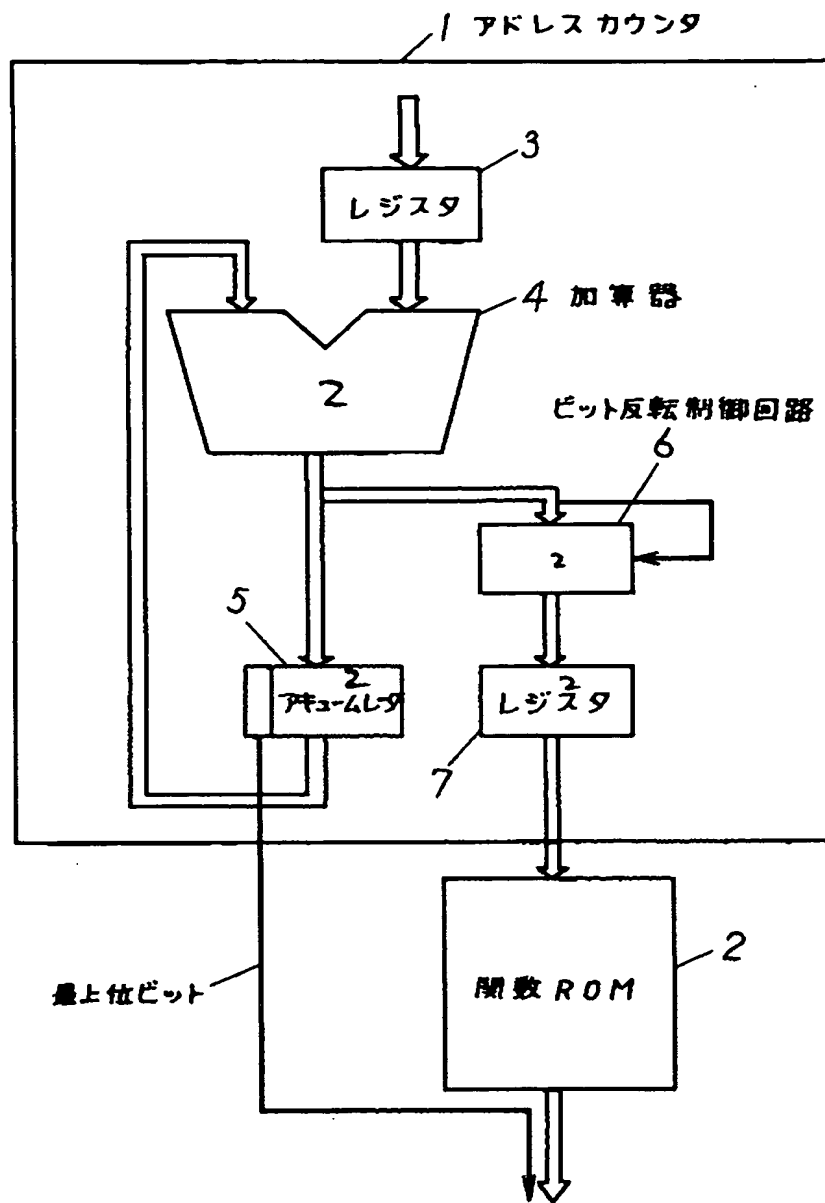
【図面の簡単な説明】

第1図は本発明の第1の実施例における周期関数発生回路の構成図、第2図(a)は正弦波関数をROMにもつ場合のROMのアドレスと振幅データの関係図、同図(b)は本発明の動作説明図、第3図は従来の周期関数発生回路の構成図、第4図(a)は従来例による正弦波関数をROMにもつ場合のROMのアドレスと振幅データの関係図、同図(b)は従来例の動作説明図である。

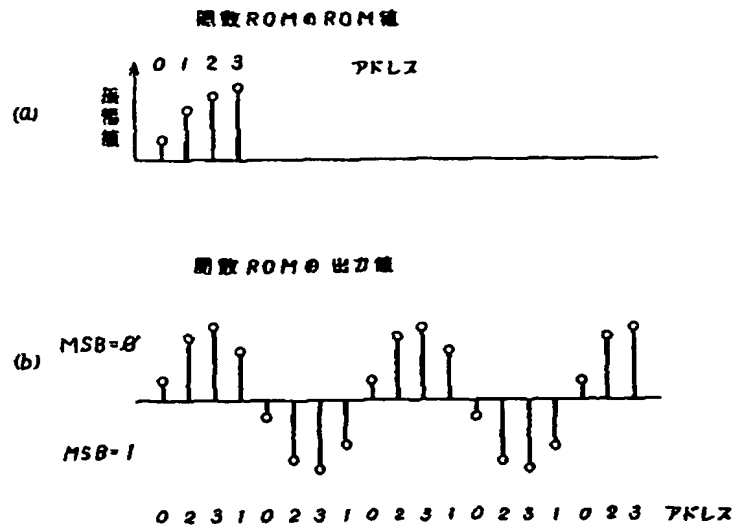
1……アドレスカウンタ、2……関数ROM、3……レジスタ、4……加算器、5……アキュムレータ、6……ビット反転制御回路、7……レジスタ。

30

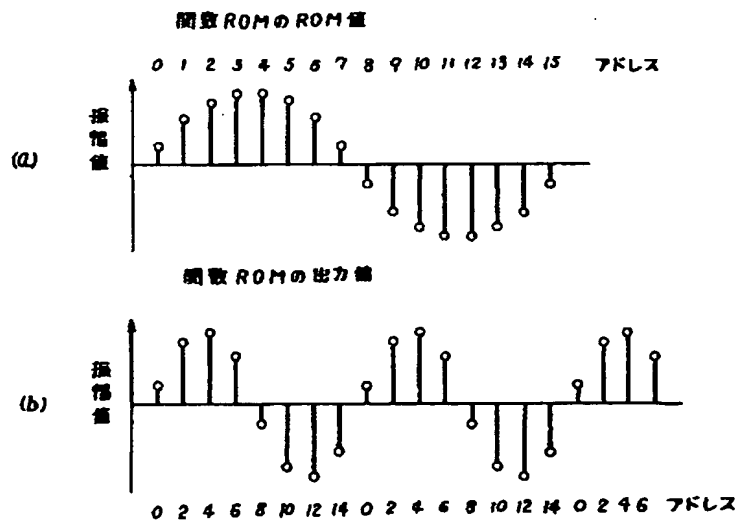
【第1図】



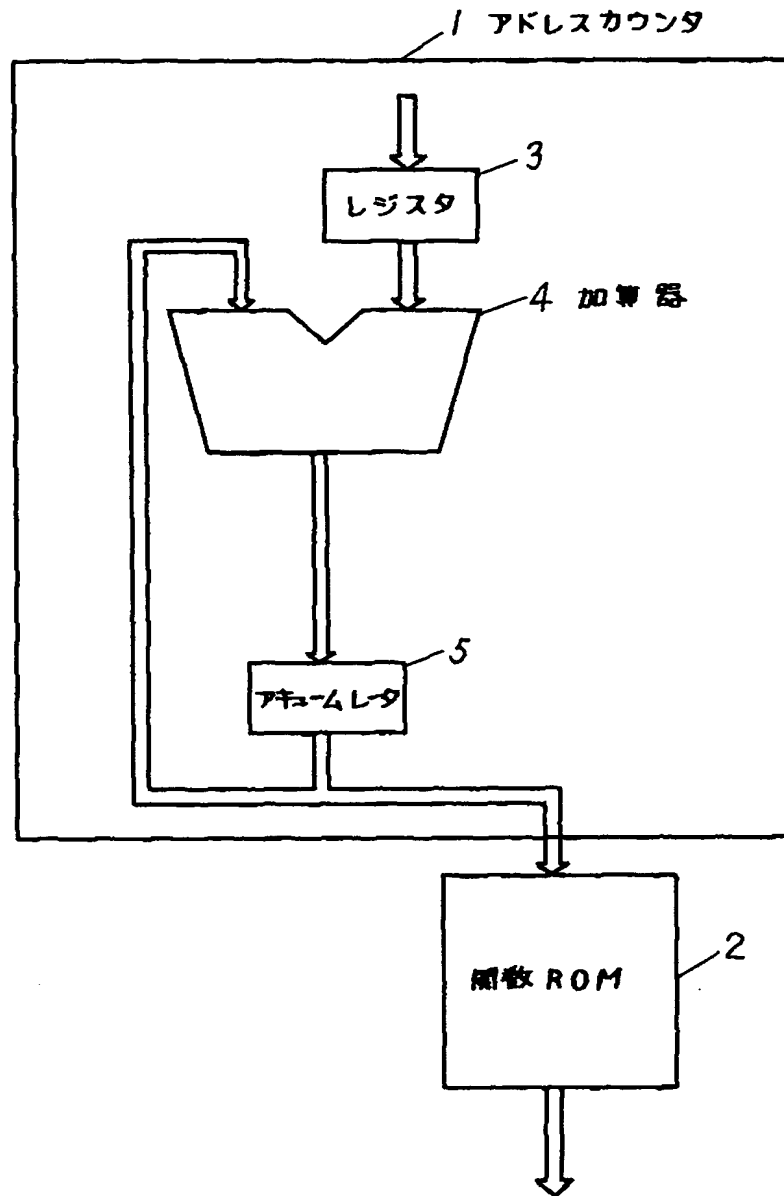
【第2図】



【第4図】



【第3図】



フロントページの続き

(72)発明者 丸山 征克

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(56)参考文献 特開 昭60-113556 (J P, A)
特開 昭55-86250 (J P, A)